

# PATENT ABSTRACTS OF JAPAN

8

(11)Publication number : 62-120076

(43)Date of publication of application : 01.06.1987

(51)Int.Cl.

H01L 29/78

H01L 27/12

(21)Application number : 60-260271

(71)Applicant : FUJITSU LTD

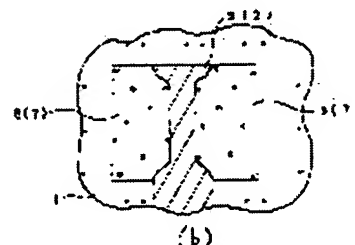
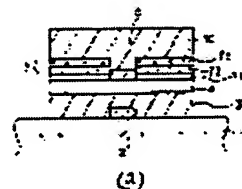
(22)Date of filing : 20.11.1985

(72)Inventor : NASU YASUHIRO  
KAWAI SATORU  
MATSUMOTO TOMOTAKA  
TATSUOKA KOICHI

**(54) THIN FILM TRANSISTOR****(57)Abstract:**

**PURPOSE:** To decrease an OFF current, to increase ratio of the width to the length of a channel, to microminiaturize it and to increase an allowable current by increasing the length (channel length) of electron running direction at the end of the channel larger than the center part.

**CONSTITUTION:** A resist mask 10 is formed on a gate region and source, drain regions, and with the mask a metal film 7 for source, drain electrodes (aluminum film 73 and titanium film 72), an N-type hydrogenated amorphous silicon film 71, an operating layer 4, and a gate insulating film 3, as desired are removed except from a thin film transistor region (a). Then, when the mask 10 is removed, a gate electrode 2 is increased in the gate length at the end larger than that at the center. Accordingly, the channel length of the center is reduced (b), and an OFF current is decreased even if an allowable current is sufficiently large.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP) ⑪ 特許出願公開  
 ⑫ 公開特許公報(A) 昭62-120076

⑬ Int.Cl.<sup>4</sup> 識別記号 庁内整理番号 ⑭ 公開 昭和62年(1987)6月1日  
 H 01 L 29/78 8422-5F  
 27/12 7514-5F 審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 薄膜トランジスタ

⑯ 特 願 昭60-260271

⑰ 出 願 昭60(1985)11月20日

⑱ 発 明 者	那 須 安 宏	川崎市中原区上小田中1015番地	富士通株式会社内
⑱ 発 明 者	川 井 啓	川崎市中原区上小田中1015番地	富士通株式会社内
⑱ 発 明 者	松 本 友 雄	川崎市中原区上小田中1015番地	富士通株式会社内
⑱ 発 明 者	立 岡 浩 一	川崎市中原区上小田中1015番地	富士通株式会社内
⑲ 出 願 人	富士通株式会社	川崎市中原区上小田中1015番地	
⑳ 代 理 人	弁理士 井 裕 貞一		

明 細 書

1. 発明の名称

薄膜トランジスタ

2. 特許請求の範囲

チャンネル形状の電子進行方向の長さ(チャンネル長)が、チャンネル端部において、チャンネル中央部におけるより大きくされてなる薄膜トランジスタ。

3. 発明の詳細な説明

(概要)

薄膜トランジスタの改良である。特に、寸法の小さな薄膜トランジスタのオフ電流を減少する改良である。

薄膜トランジスタのオフ電流がチャンネル端部の寸法に依存するという新たに発見された性質を利用したものであり、薄膜トランジスタのチャンネル端部(チャンネル方向に直交する方向の端部)の寸法(チャンネル長)のみを大きくして、オフ電流を少なくした薄膜トランジスタである。

(産業上の利用分野)

本発明は、薄膜トランジスタの改良に関する。特に、寸法の小さな薄膜トランジスタのオフ電流を減少してオン・オフ比を大きく保ちうるようにする改良に関する。

(従来の技術)

薄膜トランジスタは、液晶表示装置等平面表示装置の駆動用等に使用されるため、画素の有効面積を増大する等の目的のため、微細化が求められる。

一方、薄膜トランジスタに負担させうる電流は、チャンネル幅 $W$ とチャンネル長 $L$ との比 $W/L$ に比例するので、チャンネル長 $L$ を極力小さくする努力がなされている。チャンネル長 $L$ が小さくできれば、静電流を大きく保持しながら、チャンネル幅を自動的に小さくすることができ、微細化に寄与するからである。

特開2002-120076(2)

## 〔発明が解決しようとする問題点〕

ところが、チャンネル長が $3\mu\text{m}$ 以下になると、オフ電流が増加してオンオフ比を大きくできないという欠点が発見された。この欠点は、直線型ゲートにおいても蛇行型ゲートにおいても、認められる。

本発明の目的はこの欠点を解消することであり、オフ電流が少なく、オンオフ比が十分に大きく、しかも、チャンネル幅とチャンネル長との比が大きく、許容電流が大きいにもかかわらず寸法が小さな薄膜トランジスタを提供することにある。

## 〔問題点を解決するための手段〕

上記の目的を達成するために本発明が採った手段は、チャンネル長（チャンネル部の電子走行方向の長さ）を、チャンネル（ゲート領域）の端部において、その中央部におけるより大きくしておくことにある。

一方、オフ電流の増加はチャンネル長が $3\mu\text{m}$ 以下のときのみ顕著であることは上記せるとおりである。

上記の二つの事実を結合して、オフ電流を増加する要因は、チャンネル領域の端部のチャンネル長の短い領域であり、チャンネル領域の端部のチャンネル長を長くしておけば（チャンネル長をチャンネル領域端部のみにいて長くしておけば）、それ以外の領域でのチャンネル長は短くしてもオフ電流の増加を防止しようとの着想を得た。

そこで、第6図に示すように、中心部のチャンネル長G1は $3\mu\text{m}$ であり、チャンネル幅は $30\mu\text{m}$ であるが、端部のチャンネル長G2のみは $3\sim 10\mu\text{m}$ の間種々な値に変化しているゲート電極2を有する多くの種類の薄膜トランジスタを試作し、ゲート電圧を $10\text{V}$ とし、ドレイン電圧を $-5\text{V}$ としてオフ電流を測定した結果、第7図に示す結果を得た。図より明らかなように、上記に例示した寸法において、オフ電流は端部のチャンネル長G2

## 〔作用〕

上記の欠点（チャンネル長が短い場合、オフ電流が大きいという欠点）は、ホールアキュムレーションにもとづく。そこで、このホールアキュムレーションにもとづくオフ電流の増加がチャンネルの端部（ソース・ドレイン電極の末端に近いチャンネル領域、すなわち、電子走行領域の末端）で発生しやすいのではないかとの着想を得て、第5図に示すように、約 $3\mu\text{m}$ の短いチャンネル長を有するゲート電極21に対して、複数組（3組）のソース電極・ドレイン電極81・82、82・92、…が設けられており、各ソース・ドレイン電極幅Lの総和 $L_0+L_1$ すなわち全チャンネル幅 $L=30\mu\text{m}$ となる薄膜トランジスタを試作して、ソース電極・ドレイン電極の組の数とオフ電流の大きさとの関係調査したところ、ソース電極・ドレイン電極の組の数が増加するとオフ電流はこれにつれて増加することが確認された。なお、図において、1はガラス板等透光絶縁物基板である。

の増加とともに減少することが確認された。

このオフ電流が一定値に到達した状態におけるオフ電流対ゲート電圧の関係を、本発明に係る薄膜トランジスタに対する結果と、全体の寸法はこれと同一寸法ではあるが端部のチャンネル長G2も $3\mu\text{m}$ である薄膜トランジスタ（従来技術に係る構造の薄膜トランジスタ）とについて、第8図に示す。Aは前者の結果を、Bは後者の結果を示す。本発明に係る薄膜トランジスタのオフ電流は、従来技術に係る構造の薄膜トランジスタのオフ電流に比して $1/100$ 程度に減少している。

## 〔実施例〕

以下、図面を参照しつつ、本発明の一実施例に係る薄膜トランジスタの製造方法についてさらに説明する。

## 第2図参照

ガラス板等透光絶縁物基板1上にクロム膜等を形成し、これをパターニングしてゲート電極2を形成する。このゲート電極2の平面形状は、

## 特開昭62-120076 (3)

第6図に示すように、ゲート幅は30 $\mu$ mであり、中心部のゲート長は3 $\mu$ mであるが、端部のゲート長は10 $\mu$ mと大きくしてある。

ついで、プラズマCVD法を使用して、窒化シリコン膜等よりなるゲート絶縁膜3と水素化アモルファスシリコン等よりなる動作層4と二酸化シリコン等よりなるゲート領域保護用絶縁膜5とをつづけて形成する。

その上にポジ型レジスト膜6を形成する。

## 第3図参照

透光性絶縁物基板1の側から、ゲート電極3をマスクとして露光した後現像して、ゲート電極3と同一形状の第1のレジストマスク81を形成する。

この第1のレジストマスク81を使用してフッ酸等をもってゲート領域保護用絶縁膜5を除去する。

## 第4図参照

n型水素化アモルファスシリコン膜71とソース電極・ドレイン電極用金属膜7（チタン膜72とア

ルミニウム膜73）とをつづけて形成した後、レジストマスク81を除去して、ソース電極・ドレイン電極用金属膜7（アルミニウム膜73とチタン膜72）とn型水素化アモルファスシリコン膜71とをゲート領域上からリフトオフする。

## 第1a図参照

ゲート領域とソース・ドレイン領域とに第2のレジストマスク10を形成し、この第2レジストマスク10を使用して、ソース電極・ドレイン電極用金属膜7（アルミニウム膜73とチタン膜72）とn型水素化アモルファスシリコン膜71と動作層4と所望によってはゲート絶縁膜3とを薄膜トランジスタ領域以外から除去する。

## 第1b図参照

その後、第2のレジストマスク10を除去する。

以上の工程をもって製造された薄膜トランジスタのゲート電極2は、その端部におけるゲート長が、中央部におけるよりも大きくしてあるので、その中央部のチャンネル長が小さく（ $W/L$ の値が大き）され、許容電流が十分大きいにもか

かわらず、オフ電流は第8図にAをもって示すように極めて小さい。

## 〔発明の効果〕

以上説明せるとおり、本発明に係る薄膜トランジスタは、そのチャンネル形状の電子走行方向の反さ（チャンネル長）が、チャンネル端部において、チャンネル中央部におけるより大きくされているので、オフ電流は小さい。しかも、チャンネルの大部分においてチャンネル長は小さくされているので、チャンネル幅とチャンネル長との比は大きくされ、数値化がなされているとともに許容電流も十分大きくされている。

## 4. 図面の簡単な説明

第1a図、第1b図は、本発明の一実施例に係る薄膜トランジスタの断面図と平面図である。

第2～4図は、本発明の一実施例に係る薄膜トランジスタの主要製造工程完了後の断面図である。

第5図は、本発明の解決した欠点を検出するために製造した試作品の平面図である。

第6図は、本発明の試作品（本発明の着想具体化の過程において製造した試作品）の平面図である。

第7図は、本発明の効果を示すグラフ（トランジスタオフ時のドレイン電流対ゲート端部のゲート長の関係）である。（本発明の着想具体化の過程において製造した試作品の特性試験の結果確認された、トランジスタオフ時のドレイン電流対ゲート端部のゲート長の関係を示すグラフである）。

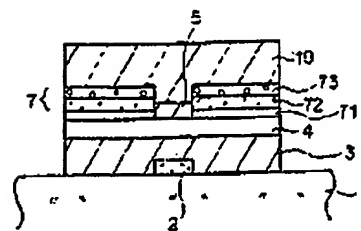
第8図は、本発明の一実施例に係る薄膜トランジスタのドレイン電流対ゲート電圧の関係を示すグラフである。

1・・・透光性基板（ガラス板）、 2・・・ゲート電極、 3・・・ゲート絶縁膜、 4・・・動作層、 5・・・ゲート領域保護用絶縁膜、 6・・・レジスト膜、 81・・・第1のレジストマスク、 7・・・金属膜、 71・・・n型水素化アモルファスシリコン膜、 72・・・チタン膜、 73・・・アルミニウム

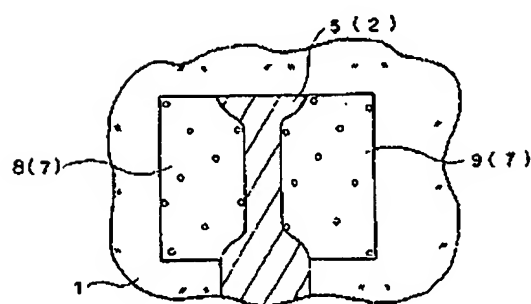
特開昭62-120076 (4)

膜、10・・・第2のレジストマスク、

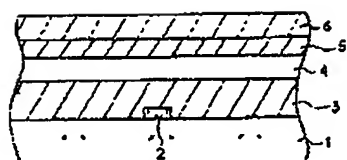
代理人 弁理士 井原良一



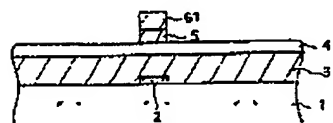
第1a図



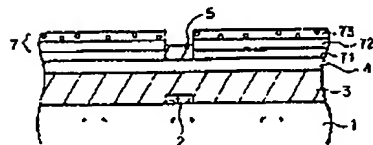
第1b図



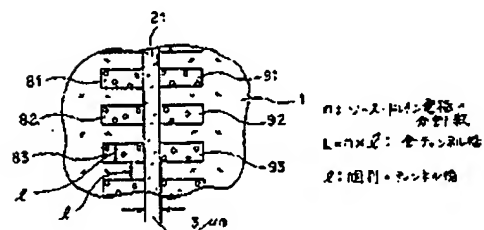
工程図  
第2図



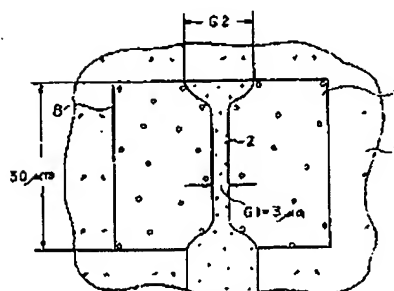
工程図  
第3図



工程図  
第4図



試作品  
第5図



本発明の試作品  
第6図

特開昭62-120076(5)

